



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010036329

(43) Publication Date. 20010507

(21) Application No.1019990043287

(22) Application Date. 19991007

(51) IPC Code:

H01L 25/00

(71) Applicant:

HYUNDAI MICRO ELECTRONICS CO., LTD.

(72) Inventor:

JUN, DONG SEOK

(30) Priority:

(54) Title of Invention

MULTI-CHIP BGA PACKAGE AND METHOD FOR MANUFACTURING THE SAME

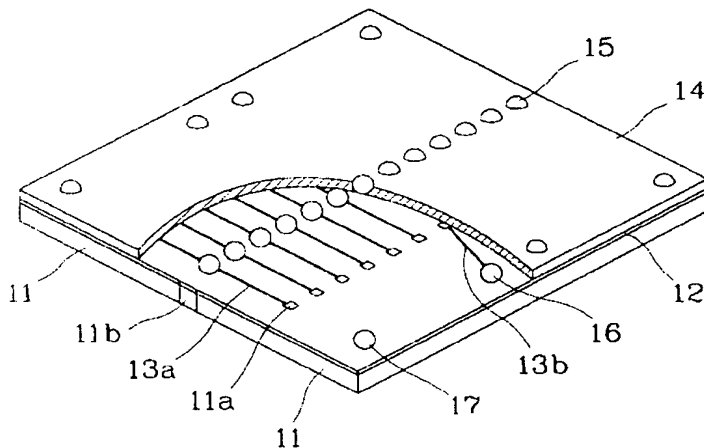
Representative drawing

(57) Abstract:

PURPOSE: A multi-chip BGA(Ball Grid Array) package and a method for manufacturing the same are provided to reduce a mounting size by mounting a multitude of chip on one package.

CONSTITUTION: A multi-chip BGA(Ball Grid Array) package comprises a plurality of semiconductor chip(11), a polymer(12), a metal pattern(13a,13b), a solder mask(14), and a multitude of solder ball(15). The semiconductor chip(11) is formed with a multitude of chip pad(11a). The polymer(12) performs a buffering function on an upper face of the semiconductor chip(11). The metal pattern(13a,13b) is connected with the chip pad(11a) and formed with a multitude of solder ball land. The solder mask(14) exposes the solder ball land. The solder balls(15) are adhered to the solder ball lands.

COPYRIGHT 2001 KIPO



if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. 8		(11) 등록번호	10-0343444
H01L 25 /00		(24) 등록일자	2002년06월25일
(21) 출원번호	10-1999-0043287	(65) 공개번호	특2001-0036329
(22) 출원일자	1999년10월07일	(43) 공개일자	2001년05월07일
(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1		
(72) 발명자	전동석 충청북도청주시흥덕구가경동동부아파트103동1003호		
(74) 대리인	박장원		
심사관 : 유환철			
(54) 멀티칩 비지에이 패키지 및 제조방법			

요약

본 발명은 멀티칩 비지에이 패키지 및 제조방법에 관한 것으로서, 종래의 마이크로 비지에이 패키지는 각각의 반도체칩을 개별적으로 패키지하여야 하므로 고밀도집적을 위한 멀티칩 패키지가 곤란하였고, 생산성이 저조하여 제조원가가 상승되는 문제점이 있었으나, 본 발명에 의한 멀티칩 비지에이 패키지는 하나의 패키지에 다수개의 칩을 실장하도록 웨이퍼 상태에서 패드 재배치기술을 이용하여 패키지를 구성함으로써, 일회의 공정으로 다수개의 패키지를 생산하여 생산성이 향상되고 제조원가를 저감할 수 있으며, 실장면적이 극소화되므로 고밀도집적이 가능하고, 종래의 칩사이즈 패키지를 양산하는 데 사용되는 제조장비를 그대로 이용할 수 있다.

대표도

도3a

명세서

도면의 간단한 설명

도 1은 종래의 마이크로 비지에이 패키지의 구조를 나타내 보인 단면도.

도 2a 내지 도 2d는 종래의 마이크로 비지에이 패키지의 제조공정을 순차적으로 나타내 보인 단면도.

도 3a 및 도 3b는 본 발명의 제1실시예에 따른 멀티칩 비지에이 패키지의 부분절결 사시도 및 단면도.

도 4a 내지 도 4f는 본 발명에 따른 멀티칩 비지에이 패키지의 제조공정을 순차적으로 나타내 보인 단면도.

도 5는 본 발명의 제2실시례에 따른 멀티칩 비지에이 패키지의 부분절결 사시도.

〈도면의 주요부분에 대한 부호설명〉

11 : 반도체칩 11a:칩패드

11b: 절단레인 12 : 폴리머

13a: 제1금속패턴

13b: 제2금속패턴 14 : 솔더마스크

15 : 솔더볼 15a: 솔더볼랜드

16 : 시에스솔더볼 17 : 기계니컬서포트 솔더볼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 멀티칩 비지에이 패키지 및 제조방법에 관한 것으로서, 보다 상세하게는 하나의 패키지에 다수개의 칩을 실장하도록 웨이퍼 상태에서 패드 재배치기술을 이용하여 패키지를 구성함으로써, 실장면적을 극소화하고 생산성을 향상시킬 수 있는 멀티칩 비지에이 패키지 및 제조방법에 관한 것이다.

일반적으로 웨이퍼 레벨 칩사이즈 패키지는 웨이퍼 단계에서 폴리머코팅 및 패드재배치 기술 등을 이용하여 칩의 크기와 유사한 크기의 패키지를 제조하는 기술의 일환으로 개발된 패키지를 말하며, 상기 칩 사이즈 패키지의 일종으로 마이크로 비지에이 패키지가 적용되는 바, 이를 설명하면 다음과 같다.

도 1은 종래의 마이크로 비지에이 패키지의 구조를 나타내 보인 단면도로서, 도시된 바와 같이, 상면에 다수개의 칩패드(1a)가 형성되어 있는 반도체칩(1)과, 상기 칩(1)의 상면에 부착되어 완충제 역할을 하는 엘라스트머(2)와, 상기 엘라스트머(2)의 상면에 패터닝되어 있으며, 그 일단부에 리드(4b)가 형성되어 상기 칩패드(1a)들에 각각 연결되는 리드패턴(4)과, 상기 리드패턴(4)의 상면에서 부착되는 솔더마스크(5)와, 상기 리드패턴(4)에 형성된 랜드(4a)에 부착되는 솔더볼(6)과, 상기 칩패드(1a)에 부착되는 리드(4b)를 감싸도록 형성되는 인캡슐런트(7)로 구성된다.

상기와 같은 구성을 갖는 종래 마이크로 비지에이 패키지의 제조공정을 순차적으로 설명하면 다음과 같다.

먼저, 도 2a에 도시된 바와 같이, 하부에는 리드본딩을 위하여 부분적으로 절단되어 있는 엘라스트머(2)가 위치되고, 상부에는 메탈에칭으로 패터닝되어 상기 리드(4b)로 성형될 하면에는 니켈 또는 골드로 도금(4c)된 리드패턴(4)을 위치시키고, 접착제(미도시)를 이용하여 엘라스트머(2)의 하측에 칩(1)을 고정 부착한다.

다음, 도 2b와 같이, 상기 리드패턴(4)의 일정 부분에 본딩툴(8)을 위치시키고, 아래로 강압하여 리드패턴(4)을 절단하여 리드(4b)를 칩패드(1a)에 부착시켜 리드본딩공정을 수행한다.

그런 다음, 도 2c와 같이, 솔더마스크(5)를 상기 리드패턴(4)의 상면에 부착하고, 상기 리드패턴(4)의 주변에 인캡슐런트

(7)를 포팅한 후 경화시킨다.

그런 다음, 도 2d와 같이, 상기 리드패턴(4)의 상면에 형성된 랜드(4a)에 플렉스를 도포하고 솔더볼(6)을 탑재한 후, 리플로우하여 고정부착한 다음, 외측 부분을 일정 크기로 절단하여 도 1과 같이, 마이크로 비지에이 패키지를 완성한다.

그러나, 종래의 마이크로 비지에이 패키지는 각각의 반도체칩(1)을 개별적으로 패키지하여야 하므로 고밀도집적을 위한 멀티칩 패키지가 곤란하였으며, 멀티칩 패키지에 비하여 생산성이 저조하여 제조원가가 상승되는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 하나의 패키지에 다수개의 칩을 실장함으로써, 실장면적을 극소화하고 생산성을 향상시킬 수 있는 멀티칩 비지에이 패키지 및 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명인 멀티칩 비지에이 패키지는 상면에 다수개의 칩패드가 형성되며 절단레인에 의해 일측이 연결된 수개의 반도체칩과; 상기 칩의 상면에서 완충제 역할을 하며, 노광 및 식각이 가능토록 도포된 폴리머와; 상기 폴리머의 상면에 패터닝되어 상기 수개의 반도체칩의 칩패드를 서로 연결함과 아울러 그 상면에 다수개의 솔더볼랜드가 형성된 금속패턴과; 상기 폴리머와 금속패턴의 상면에서 상기 솔더볼랜드가 노출되도록 형성되는 솔더마스크와; 상기 각 솔더볼랜드에 부착되는 다수개의 솔더볼로 구성된 것을 특징으로 한다.

바람직하게는 상기 금속패턴은 중앙에 위치되어 상기 칩패드의 상면과 각각 연결되고 상면에 솔더볼이 부착될 솔더볼랜드가 다수개 형성되는 제1금속패턴과, 좌우측에 위치되어 시에스 솔더볼 또는 미케니컬서포트 솔더볼이 연결되는 솔더볼랜드가 다수개 형성되는 제2금속패턴으로 구성된다.

그리고, 상기 멀티칩 비지에이 패키지의 제조방법은 다수개의 반도체칩이 형성된 웨이퍼의 상면에 완충제 역할을 하는 폴리머를 도포하고, 상기 폴리머를 노광 및 식각하여 칩패드의 상면을 노출시키는 단계와; 상기 폴리머의 상면에 다수개의 금속패턴을 증착 및 식각하여, 상기 다수개의 반도체칩에 형성된 칩패드를 서로 연결함과 아울러 그 상면에 솔더볼이 부착될 솔더볼랜드를 다수개 형성하는 단계와; 상기 금속패턴을 보호하기 위하여 상기 폴리머와 금속패턴의 상면을 솔더마스크로 도포한 후, 식각공정에 의하여 상기 솔더볼랜드의 상면을 노출시키는 단계와; 상기 솔더볼랜드의 상면에 솔더볼을 리플로우하여 부착한 후, 상기 웨이퍼의 절단레인을 절단하여 멀티칩 비지에이 패키지를 완성하는 단계의 순서로 제조되는 것을 특징으로 한다.

이하 본 발명의 바람직한 실시예를 첨부 도면에 의거하여 상세히 설명하면 다음과 같다.

도 3a는 본 발명의 제1실시예에 따른 멀티칩 비지에이 패키지를 나타내 보인 일부절결 사시도이고, 도 3b는 단면도로서, 도시된 바와 같이, 상면에 다수개의 칩패드(11a)가 형성되며 절단레인(11b)에 의해 일측이 연결된 두개의 반도체칩(11)과, 높은 탄성계수에 의하여 완충제 역할을 하며 빛에 의하여 노광 및 식각이 가능토록 상기 칩(11)의 상면에 도포된 폴리머(12)와, 상기 폴리머(12)의 상면에 패터닝되어 그 일측 또는 양측이 상기 칩패드(11a)를 서로 연결하며 그 상면에 솔더볼랜드(15a)가 다수개 형성된 금속패턴(13; 13a, 13b)과, 상기 폴리머(12)와 금속패턴(13; 13a, 13b)의 상면에서 상기 솔더볼랜드(15a)가 노출되도록 형성되는 솔더마스크(14)와, 상기 각 솔더볼랜드(15a)에 부착되는 다수개의 솔더볼(15, 16, 17)로 구성된다.

상기 금속패턴(13; 13a, 13b)은 상기 폴리머(12)의 상면에서 중앙부에 위치되어 그 양측이 상기 두개의 반도체칩(11)에 형성된 칩패드(11a)의 상면과 각각 연결되고 상면에 솔더볼(15)이 부착될 솔더볼랜드(15a)가 다수개 형성되는 제1금속패턴

(13a)과, 좌우측에 위치되어 다수개의 칩(11)중 하나를 전기적으로 선택하는 시에스(Chip Selected) 솔더볼(16) 또는 기계적안정성과 열방출을 위한 미케니컬 서포트(Mechanical Support) 솔더볼(17)이 연결되는 솔더볼랜드(15a)가 다수개 형성되는 제2금속패턴(13b)으로 구성된다.

상기 금속패턴(13; 13a, 13b)은 상기 실시례 이외의 임의의 구조로 형성될 수 있으며, 그에 따라 상기 솔더볼(15)이 부착되는 형상도 변경되는 바, 상기 금속패턴(13; 13a, 13b) 및 솔더볼(15)이 부착되는 구조변경은 본 발명의 보호범위에 속한다.

상기와 같은 구성을 갖는 본 발명의 제1실시례에 따른 멀티칩 비지에이 패키지의 제조공정을 순차적으로 설명하면 다음과 같다.

먼저, 도 4a에 도시된 바와 같이 판금공정에 의하여 웨이퍼를 형성하고, 도 4b에서 2개의 반도체칩(11)을 대상으로 도시된 바와 같이, 다수개의 반도체칩(11)이 형성된 웨이퍼의 상면에 완충제 역할을 하는 폴리머(12)를 도포한 후, 도 4c와 같이 상기 폴리머(12)를 노광 및 식각공정에 의하여 칩패드(11a)의 상면을 노출시킨다.

다음, 도 4d와 같이 상기 폴리머(12)의 상면에 금속패턴(13; 13a, 13b)을 증착 및 식각하여, 중앙에 형성된 제1금속패턴(13a)의 양측을 상기 두개의 반도체칩(11)에 형성된 칩패드(11a)를 서로 연결함과 아울러 그 상면에 솔더볼(15)이 부착될 솔더볼랜드(15a)를 다수개 형성한다. 그리고, 좌우측에 형성된 제2금속패턴(13b)은 시에스 솔더볼(16) 또는 미케니컬서포트 솔더볼(17)이 연결되는 솔더볼랜드(15a)를 형성한다.

다음, 도 4e와 같이, 상기 제1,2금속패턴(13a, 13b)을 보호하기 위하여 상기 폴리머(12)와 금속패턴(13; 13a, 13b)의 상면을 솔더마스크(14)로 도포한 후, 식각공정에 의하여 상기 솔더볼랜드(15a)의 상면을 노출시킨다.

그런 다음, 도 4f와 같이, 상기 솔더볼랜드(15a)의 상면에 솔더볼(15, 16, 17)을 리플로우하여 부착한 후, 상기 웨이퍼의 절단레인(11b)을 다이싱브레이드(18)로 절단하여 도 3a와 같이, 멀티칩 비지에이 패키지를 완성한다.

한편, 도 5는 본 발명의 제2실시례에 따른 멀티칩 비지에이 패키지의 일부절결 사시도로서, 도시된 바와 같이 제1실시례와는 상이하게 상면에 칩패드(11a)가 형성된 절단레인(11b)과, 상기 절단레인(11b)에 의해 일측이 연결된 두개의 반도체칩(11)과, 상기 칩(11)의 상면에 도포된 폴리머(12)와, 상기 폴리머(12)의 상면에서 그 상면에 솔더볼랜드(15a)가 다수개 형성된 금속패턴(13; 13a, 13b)과, 상기 폴리머(12)와 금속패턴(13; 13a, 13b)의 상면에 형성된 솔더마스크(14)와, 상기 각 솔더볼랜드(15a)에 부착되는 다수개의 솔더볼(15, 16, 17)로 구성된다.

따라서, 상기 금속패턴(13; 13a, 13b)은 상기 폴리머(12)의 상면에서 중앙부에 두개의 열로 위치되어 그 일측은 상기 절단레인(11b)에 형성된 칩패드(11a)의 상면과 연결되고 그 타측은 상기 두개의 반도체칩(11)에 형성된 칩패드(11a)의 상면과 연결되며 그 상면에 솔더볼(15)이 부착될 솔더볼랜드(15a)가 형성되는 제1금속패턴(13a)과, 좌우측에 위치되어 시에스 솔더볼(16) 또는 미케니컬서포트 솔더볼(17)이 연결되는 솔더볼랜드(15a)가 다수개 형성되는 제2금속패턴(13b)으로 구성된다.

또한, 바람직하게는 제1금속패턴(13a)은 상기 두개의 열의 상면에 솔더볼(15)이 교대로 부착될 솔더볼랜드(15a)가 교대로 형성된다.

상기 제2실시례는 솔더볼(15)에 의한 외부단자가 많거나, 외부단자의 간격이 넓은 경우에 적용될 수 있다.

상기와 같은 구성을 갖는 본 발명의 제2실시례에 따른 멀티칩 비지에이 패키지의 제조공정은 상기 제1실시례와 동일하다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의한 멀티칩 비지에이 패키지는 하나의 패키지에 다수개의 칩을 실장하도록 웨이

퍼 상태에서 패드 재배치기술을 이용하여 패키지를 구성함으로써, 일회의 공정으로 다수개의 패키지를 생산하여 생산성이 향상되고 제조원가를 저감할 수 있으며, 실장면적이 극소화되므로 고밀도집적이 가능하고, 종래의 칩사이즈 패키지를 양산하는 데 사용되는 제조장비를 그대로 이용할 수 있는 효과가 있다.

(57) 청구의 범위

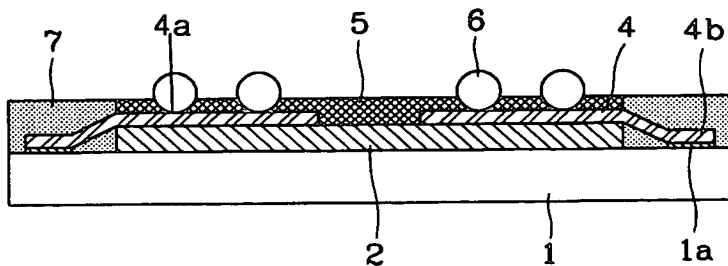
청구항 1. 상면에 다수개의 칩패드가 형성되며 절단라인에 의해 일측이 연결된 수개의 반도체칩과; 상기 칩의 상면에서 완충제 역할을 하며, 노광 및 식각이 가능토록 도포된 폴리머와; 상기 폴리머의 상면에 패터닝되어 상기 수개의 반도체칩의 칩패드를 서로 연결함과 아울러 그 상면에 다수개의 솔더볼랜드가 형성된 금속패턴과; 상기 폴리머와 금속패턴의 상면에서 상기 솔더볼랜드가 노출되도록 형성되는 솔더마스크와; 상기 각 솔더볼랜드에 부착되는 다수개의 솔더볼로 구성된 것을 특징으로 하는 멀티칩 비지에이 패키지.

청구항 2. 제 1항에 있어서, 상기 금속패턴은 중앙에 위치되어 상기 칩패드의 상면과 각각 연결되고 상면에 솔더볼이 부착될 솔더볼랜드가 다수개 형성되는 제1금속패턴과, 좌우측에 위치되어 시에스 솔더볼 또는 기계컬서포트 솔더볼이 연결되는 솔더볼랜드가 다수개 형성되는 제2금속패턴으로 구성된 것을 특징으로 하는 멀티칩 비지에이 패키지.

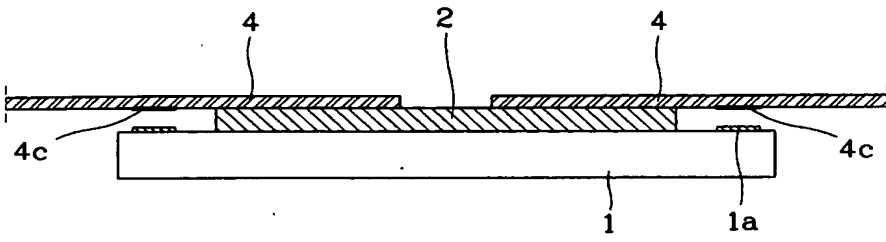
청구항 3. 다수개의 반도체칩이 형성된 웨이퍼의 상면에 완충제 역할을 하는 폴리머를 도포하고, 상기 폴리머를 노광 및 식각하여 칩패드의 상면을 노출시키는 단계와; 상기 폴리머의 상면에 다수개의 금속패턴을 증착 및 식각하여, 상기 다수개의 반도체칩에 형성된 칩패드를 서로 연결함과 아울러 그 상면에 솔더볼이 부착될 솔더볼랜드를 다수개 형성하는 단계와; 상기 금속패턴을 보호하기 위하여 상기 폴리머와 금속패턴의 상면을 솔더마스크로 도포한 후, 식각공정에 의하여 상기 솔더볼랜드의 상면을 노출시키는 단계와; 상기 솔더볼랜드의 상면에 솔더볼을 리플로우하여 부착한 후, 상기 웨이퍼의 절단라인을 절단하여 멀티칩 비지에이 패키지를 완성하는 단계의 순서로 제조되는 것을 특징으로 하는 멀티칩 비지에이 패키지의 제조방법.

도면

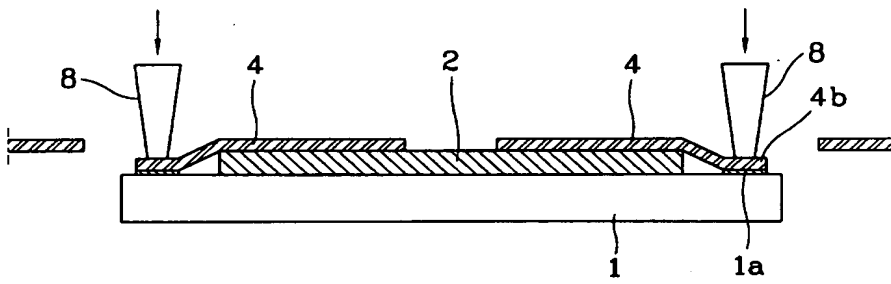
도면1



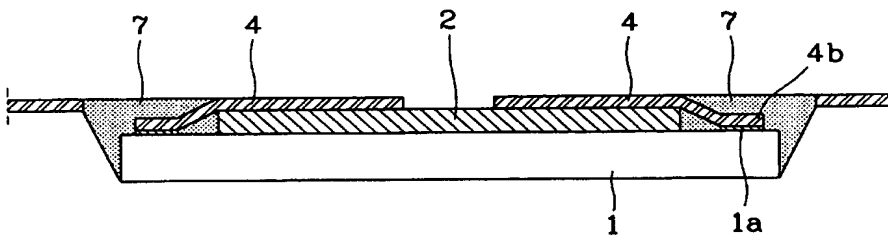
도면2a



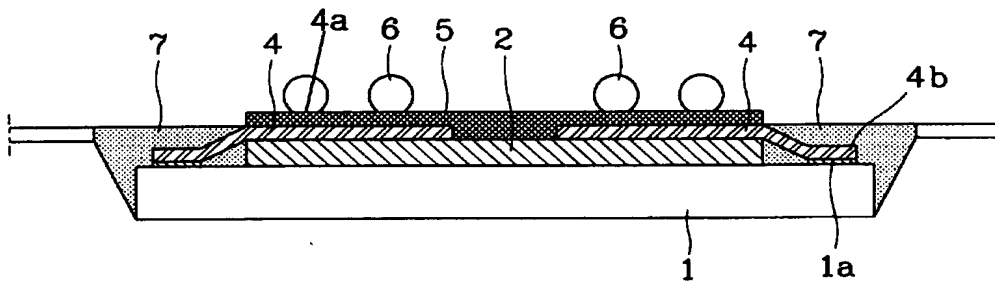
도면2b



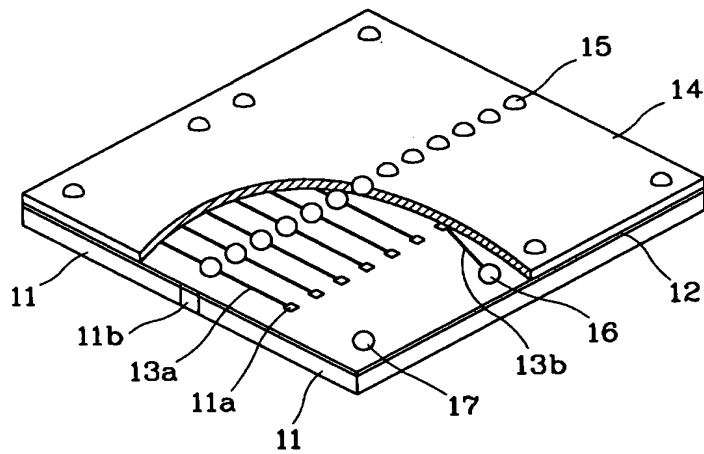
도면2c



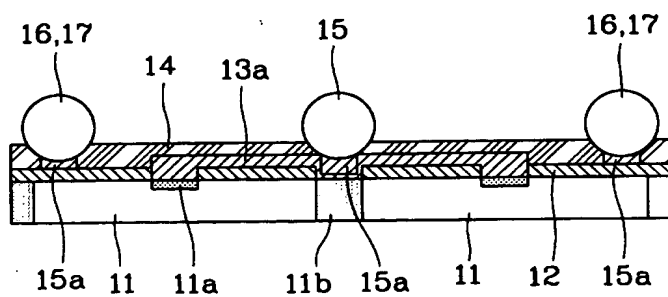
도면2d



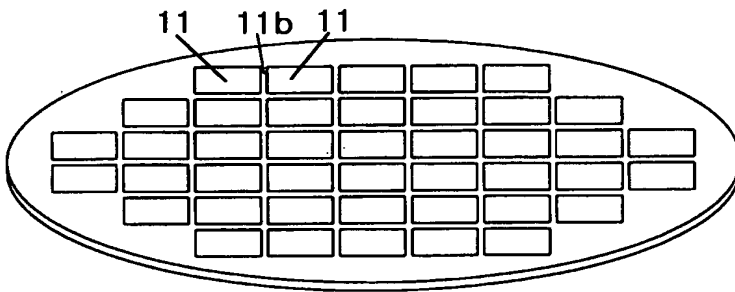
도면3a



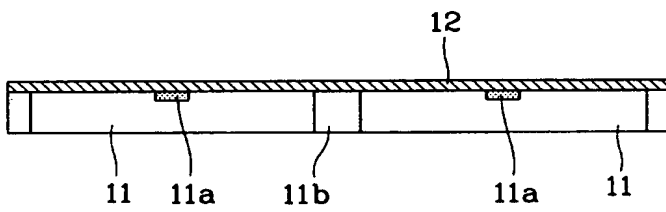
도면3b



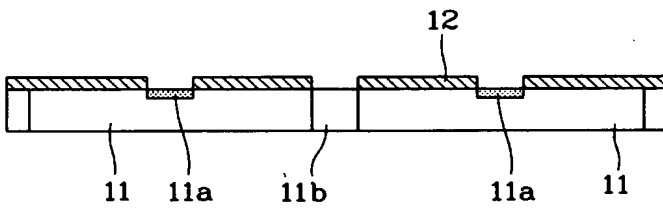
도면4a



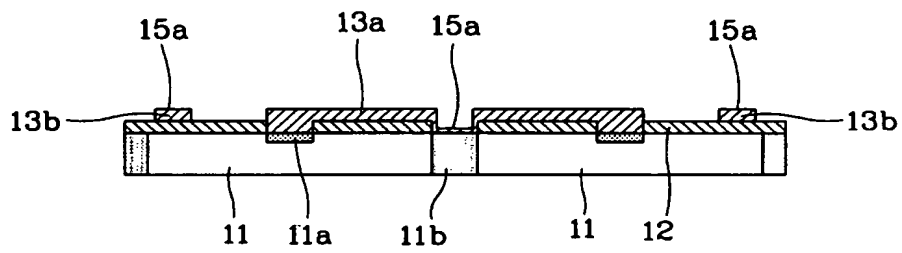
도면4b



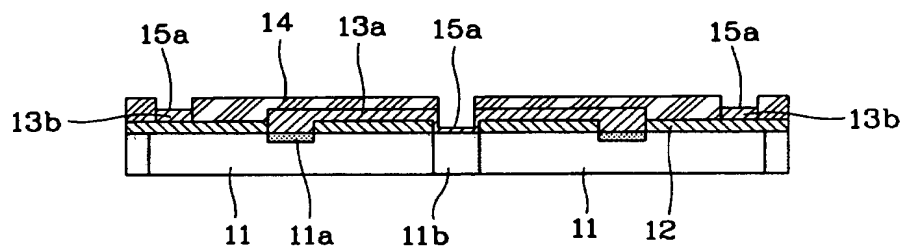
도면4c



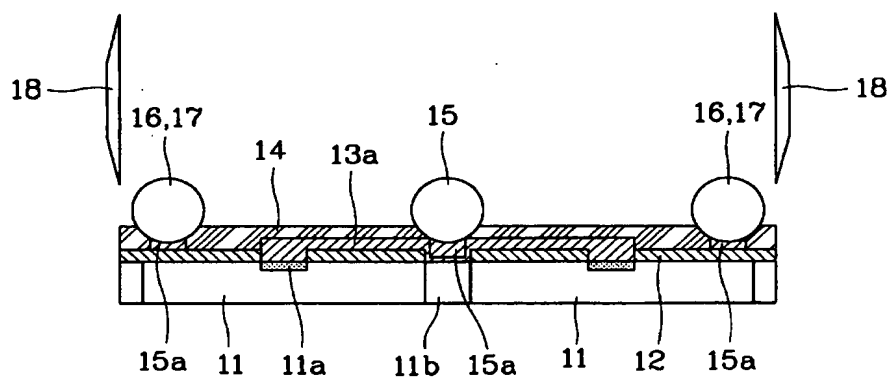
도면4d



도면4e



도면4f



도면5

